

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Patent Application Publication No.: H4-76915

(43) Publication Date: March 11, 1992

5 (51) Int. Cl.⁵ Identification Symbol JPO File Number

H 01 L 21/302 M 7353-4M

Request for Examination: Not Filed

Number of Claims: 1 (4 pages in total)

(54) Title of the Invention

10 Manufacturing Method of Semiconductor Device

(21) Application No.: H2-189557

(22) Filing Date: July 19, 1990

(72) Inventor: KURIYAMA Hisaya

c/o Oki Electric Industry Co., Ltd.

15 1-7-12, Toranomon, Minato-ku, Tokyo

(72) Inventor: HORIO Takuji

c/o Oki Electric Industry Co., Ltd.

1-7-12, Toranomon, Minato-ku, Tokyo

(71) Applicant: Oki Electric Industry Co., Ltd.

20 1-7-12, Toranomon, Minato-ku, Tokyo

(74) Agent: Patent Attorney KIKUCHI Hiroshi

Specification

1. Title of the Invention

Manufacturing Method of Semiconductor Device

5 2. Scope of Claim

A manufacturing method of a semiconductor device, comprising:

a step of forming an interlayer insulating film on a semiconductor substrate and forming a photoresist pattern having a window for etching to form a contact hole thereon;

10 a step of etching the interlayer insulating film to part of its thickness using the photoresist pattern as a mask under an etching condition where a pressure of a semiconductor etching apparatus is set to a high pressure and ion sputtering in a vertical direction becomes dominant, to form a contact hole into a perpendicular groove shape, corresponding to the window of the photoresist pattern, in the interlayer insulating film;

15 a step of widening the window of the photoresist pattern; and

a step of performing etching again using the resist pattern as a mask under an etching condition where the pressure of the semiconductor etching apparatus is set to a low pressure and ion sputtering in a vertical direction and deposition in a horizontal direction are performed at the same time, to form an upper part of the contact hole into a tapered shape and make a bottom part of the contact hole penetrate, with a tapered shape, to reach the semiconductor substrate.

20 3. Detailed Description of the Invention

[Field of Industrial Application]

This invention relates to a manufacturing method of a semiconductor device, in particular, a method for forming a contact hole for connecting a semiconductor substrate and a metal wiring into a tapered shape in an interlayer insulating film.

25 [Conventional Art]

As one conventional technique for forming a contact hole in a semiconductor device into a tapered shape, there is a method for forming a contact hole by etching in a low pressure region with the use of a parallel plate type reactive ion etching apparatus using a gas capable of formation of a deposition film, such as CHF₃ or CF₄. In this method, ion sputtering in a vertical direction and deposition in a horizontal direction are

performed at the same time, and a contact hole is formed into a tapered shape. In addition, in this method, the angle of the tapered shape can be controlled depending on the pressure.

[Problems to be Solved by the Invention]

5 However, in the above-described conventional formation method, since the contact hole has a tapered shape for the whole depth, there has been a problem in that the size of the upper part of the contact hole is extremely enlarged compared to the size of the bottom part of the contact hole when the contact hole is deep. For example, as illustrated in FIG. 3, a contact hole 3 is formed with a depth of 2 μm and a taper of $\theta = 10$ 63° in a BPSG film (interlayer insulating film) 2 on a silicon substrate 1. At this time, the size of the upper part of the contact hole 3 becomes 3 μm in order to obtain a size of 1 μm at the bottom part. In addition, there has been also a problem in that when the taper angle θ is set constant, the size of the upper part varies depending on the depth of the contact hole.

15 It is an object of this invention to provide a manufacturing method of a semiconductor device, capable of forming a tapered contact hole that is advantageous in miniaturizing and highly integrating LSI, in which the following problems are solved: the size of the upper part of the contact hole is extremely enlarged compared to the size of the bottom part and the size of the upper part of the contact hole depends on the depth 20 thereof as described above. In addition, in this method, the size of the upper part is not unnecessarily enlarged.

[Means for Solving the Problems]

According to this invention, only an upper part and a lower part of a contact hole are formed to be tapered in a manufacturing method of a semiconductor device, 25 particularly in a method for forming a contact hole in an interlayer insulating film.

In specific, first, an interlayer insulating film is formed on a semiconductor substrate and a photoresist pattern having a window for etching to form a contact hole is formed thereon. Next, the interlayer insulating film is etched to part of its thickness using the photoresist pattern as a mask under an etching condition where the pressure of 30 a semiconductor etching apparatus is set to a high pressure and ion sputtering in a vertical direction becomes dominant, whereby a contact hole is formed into a

perpendicular groove shape, corresponding to the window of the photoresist pattern, in the interlayer insulating film. After that, the window of the photoresist pattern is widened. Then, etching is performed again using the photoresist pattern as a mask under an etching condition where the pressure of the semiconductor etching apparatus is set to a low pressure and ion sputtering in a vertical direction and deposition in a horizontal direction are performed at the same time, whereby the upper part of the contact hole is formed to be tapered and the bottom part of the contact hole is made to penetrate, with a tapered shape, to reach the semiconductor substrate.

[Operation]

In this invention as described above, only an upper part and a lower part of a contact hole have a tapered shape. Thus, by setting the thicknesses of the upper part and the lower part constant, the size of the upper part of the contact hole can be constant regardless of the depth thereof. In addition, even when the contact hole is deep, the size of the upper part is not extremely enlarged compared to the size of the bottom part.

Note that, in this invention described above, a contact hole is etched into a perpendicular shape or a tapered shape by controlling the pressure of a semiconductor etching apparatus. That is, in a semiconductor etching apparatus, specifically, in a parallel plate type reactive ion etching apparatus, when a gas capable of formation of a deposition film, such as CHF_3 or CF_4 , is used and the pressure is set to a high pressure, ion sputtering in a vertical direction becomes dominant between the ion sputtering in a vertical direction and deposition in a horizontal direction, and etching is performed perpendicularly. On the other hand, when the pressure is set to a low pressure, ion sputtering in a vertical direction and deposition in a horizontal direction are performed at the same time, whereby etching is performed to obtain a tapered shape. Note that specific numerical values of high pressure and low pressure greatly vary from one apparatus to another and cannot be generally defined.

[Embodiment]

Hereinafter, one embodiment of this invention is described with reference to FIG. 1.

In one embodiment, first, as illustrated in FIG. 1 (a), a BPSG film (a film of silicate glass containing boron and phosphorus) 12 is formed on a silicon substrate 11 as an interlayer insulating film to be 1.5 μm thick by a CVD method. Further, a

photoresist pattern 13 (having, in part thereof, a window 14 for etching to form a contact hole with a diameter of 0.8 μm) is formed thereon.

Next, the photoresist pattern 13 is used as a mask, and the BPSG film 12 is etched to part of its thickness with the use of a parallel plate type reactive ion etching apparatus, whereby, as illustrated in FIG. 1 (b), a contact hole 15 with a perpendicular groove shape is formed, corresponding to the window 14, in the BPSG film 12. At this time, a gas obtained by mixing CHF_3 , CF_4 , and Ar at a flow ratio of 3:3:40 is used as an etching gas, and the pressure is set to a high pressure of 1.7 Torr. Further, the high-frequency power is set to 750 W with a frequency of 400 MHz. When etching is performed with the use of the parallel plate type reactive ion etching apparatus under the above condition, ion sputtering in a vertical direction becomes dominant because the pressure is a high pressure of 1.7 Torr; consequently, the contact hole 15 is formed into a perpendicular shape as described above. At this time, according to the above condition, the etching rate of the BPSG film 12 is 1 $\mu\text{m}/\text{min}$. Etching is performed at this rate for about 1.3 minutes, and the contact hole 15 is formed into a groove shape (concave shape) with a depth of about 1.3 μm in the BPSG film 12 which is 1.5 μm thick.

Then, etching is performed for about 45 seconds with the use of a chemical dry etching apparatus using a gas obtained by mixing CF_4 and O_2 at 1:1 as an etching gas under a condition where the pressure is 1.0 Torr and the high-frequency power is 200 W with a frequency of 13.56 kHz, whereby the photoresist is made to recede in a horizontal direction. Thus, as illustrated in FIG. 1 (c), the window 14 of the photoresist pattern 13 is widened. At this time, the window 14 is widened by 0.2 μm on one side.

Next, the photoresist pattern 13 in which the window 14 is widened is used as a mask again, and the BPSG film 12 is etched again with the use of the parallel plate type reactive ion etching apparatus under the condition which is the same as that of the first etching, where only the pressure is switched to a low pressure of 0.5 Torr. Thus, as illustrated in FIG. 1 (d), while the upper part of the contact hole 15 is processed into a tapered shape, the bottom part of the contact hole 15 is made to penetrate, with a tapered shape, to reach the silicon substrate 11. At this time, the pressure of the parallel plate

type reactive ion etching apparatus is at low pressure of 0.5 Torr. Therefore, ion sputtering in a vertical direction and deposition in a horizontal direction are performed at the same time, whereby etching is performed to obtain a tapered shape as described above.

5 As described above, the contact hole 15 having a taper only in the upper part and the lower part is completed as illustrated in FIG. 2. By this contact hole 15, a size $2a$ in the upper part is constant regardless of the depth of the contact hole, by keeping thicknesses d of the tapered portions in the upper part and the lower part constant. In addition, even when the contact hole is deep, the size $2a$ of the upper part is not
10 extremely enlarged compared to a size a of the bottom part.

[Effect of the Invention]

As described above, according to the manufacturing method of this invention, only the upper part and the lower part of the contact hole can be formed into a tapered shape. Therefore, the size of the upper part of the contact hole can be prevented from
15 being enlarged too much depending on the depth thereof, and the size of the upper part can be prevented from being extremely enlarged compared to the size of the bottom part when the contact hole is deep. Further, the size of the upper part can be prevented from being unnecessarily enlarged. Accordingly, a tapered contact hole that is advantageous in miniaturizing and highly integrating LSI can be obtained.

20 4. Brief Description of the Drawings

FIG. 1 is a process cross-sectional view illustrating one embodiment of a manufacturing method of a semiconductor device according to this invention. FIG. 2 is a cross-sectional view illustrating a contact hole formed in accordance with one embodiment of this invention. FIG. 3 is a cross-sectional view illustrating a contact
25 hole formed in accordance with a conventional method.

11...silicon substrate, 12...BPSG film, 13...photoresist pattern, 14...window,
15...contact hole.

Applicant: Oki Electric Industry Co., Ltd.

30 Agent: Patent Attorney KIKUCHI Hiroshi

Family list

1 application(s) for: **JP4076915**

1 MANUFACTURE OF SEMICONDUCTOR DEVICE

Inventor: KURIYAMA HISAYA ; HORIO TAKUJI **Applicant:** OKI ELECTRIC IND CO LTD

EC:

IPC: H01L21/302; H01L21/3065; H01L21/02;
(+1)

Publication JP4076915 (A) - 1992-03-11

Priority Date: 1990-07-19

info:

Data supplied from the **espacenet** database --- Worldwide

MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication number: JP4076915 (A)

Publication date: 1992-03-11

Inventor(s): KURIYAMA HISAYA; HORIO TAKUJI +

Applicant(s): OKI ELECTRIC IND CO LTD +

Classification:

- **international:** H01L21/302; H01L21/3065; H01L21/02; (IPC1-7): H01L21/302

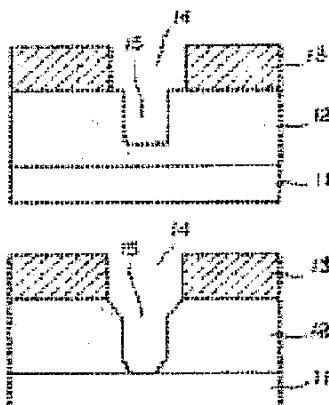
- **European:**

Application number: JP19900189557 19900719

Priority number(s): JP19900189557 19900719

Abstract of JP 4076915 (A)

PURPOSE: To prevent the unnecessary enlargement of the size of an upper part and to make it possible to form a tapered contact hole which is advantageous for the miniaturization and the high integration density of an LSI by forming the tapered parts only at the upper part and the lower part of the contact hole. CONSTITUTION: A contact hole 15 is formed in a groove shape (recess shape) in a BPSG film 12. Then, etching is performed with a chemical dry etching apparatus, and a window 14 of a photoresist pattern 13 is widened. Then, the photoresist pattern 13 wherein the window 14 is widened is used as the mask again. The pressure is changed to the low pressure with a parallel-plate-type reaction ion etching apparatus, and the film 12 is etched. The upper part of the contact hole 15 is made to be the tapered shape. The bottom part of the contact hole 15 is made to penetrate into a silicon substrate 11 in the tapered shape. In this way, the extreme enlargement of the size of the upper part is prevented, and the tapered contact hole which is advantageous for the achievement of the miniaturization and the high integration density of the LSI can be obtained.



⑫ 公開特許公報 (A) 平4-76915

⑬ Int. Cl.⁵

H 01 L 21/302

識別記号 庁内整理番号

M 7353-4M

⑭ 公開 平成4年(1992)3月11日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-189557

⑰ 出 願 平2(1990)7月19日

⑱ 発明者 栗山 尚也 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 発明者 堀尾 卓司 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑳ 出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

㉑ 代理人 弁理士 菊池 弘

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上に層間絶縁膜を形成し、その上に、コンタクトホールエッチング用窓を有するフォトマスクとして前記層間絶縁膜をその膜厚の途中までエッチングすることにより、該層間絶縁膜に前記フォトレジストパターンの窓に対応して垂直の溝状にコンタクトホールを形成する工程と、

半導体エッチング装置の圧力を高圧にして縦方向のイオンスパッタリングが支配的となるエッチング条件下で、前記フォトレジストパターンをマスクとして前記層間絶縁膜をその膜厚の途中までエッチングすることにより、該層間絶縁膜に前記フォトレジストパターンの窓に対応して垂直の溝状にコンタクトホールを形成する工程と、

その後、フォトレジストパターンの窓を広げる工程と、

その後、半導体エッチング装置の圧力を低圧にして縦方向のイオンスパッタリングと横方向のデポジションが共存するエッチング条件下で再度、前記レジストパターンをマスクとしてエッチング

を行うことにより、前記コンタクトホールの上部をテーパーに形成するとともに、コンタクトホールの底部をテーパー形状で半導体基板まで貫通させる工程とを具備してなる半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体装置の製造方法に係り、特に半導体基板と金属配線との接続をとるためのコンタクトホールを層間絶縁膜にテーパー形状に形成する方法に関するものである。

(従来の技術)

従来、半導体装置のコンタクトホールをテーパー形状に形成する技術の1つとして、平行平板型反応性イオンエッチング装置で、CH₄、CF₄などのデポジション膜が形成できるガスで、低圧領域でコンタクトホールをエッチング形成する方法がある。この方法は、縦方向のイオンスパッタリングと横方向のデポジションが共存してコンタクトホールがテーパー形状に形成される。また、この方法は、圧力に依存してテーパー形状の角度を制

術できる。

(発明が解決しようとする課題)

しかし、上記の従来の形成法では、コンタクトホールの深さの全長でテーパー形状となるので、コンタクトホールが深い場合には、コンタクトホールの底部の寸法に対してコンタクトホール上部の寸法が非常に大きくなるという問題点があった。例えば第3図に示すように、シリコン基板1上のBPSG膜(層間絶縁膜)2に、2μmの深さで、θ=63°のテーパーでコンタクトホール3を形成しようとした時、該コンタクトホール3の底部の寸法を1μmにするには、上部寸法は3μmになってしまふ。また、この上部寸法は、テーパー角θを一定とした場合、コンタクトホールの深さに依存して異なるという問題点もあった。

この発明は、以上述べたコンタクトホール底部の寸法に対して上部寸法が大きく広がる、またコンタクトホールの深さに上部の寸法が依存するという問題点を除去し、上部の寸法が不需要に大きくならない、LSIの微細化・高集積化に有利な

が共存するエッティング条件下で再度、前記フォトレジストパターンをマスクとしてエッティングを行うことにより、前記コンタクトホールの上部をテーパーに形成するとともに、コンタクトホールの底部をテーパー形状で半導体基板まで貫通させる。

(作用)

上記この発明においては、コンタクトホールの上部と下部のみがテーパー状となるため、この部分の厚さを一定とすれば、コンタクトホールの深さに係わらず、上部での寸法は一定となる。また、コンタクトホールが深くても、底部の寸法に対して上部の寸法が著しく大きくなることもない。

なお、上記この発明においては、半導体エッティング装置の圧力を制御してコンタクトホールを垂直状またはテーパー状にエッティングする。すなわち、半導体エッティング装置、具体的には平行平板型反応性イオンエッティング装置において、CHF₃、CF₄などのデポジション膜が形成できるガスを用い、圧力を高圧とすると、縦方向のイオンスパッタリングと横方向のデポジションのうち縦方向の

テーパー状コンタクトホールを形成できる半導体装置の製造方法を提供することを目的とする。

(課題を解決するための手段)

この発明は半導体装置の製造方法、特に層間絶縁膜にコンタクトホールを形成する方法において、コンタクトホールの上部と下部にのみテーパーを形成するようにしたものである。

詳細には、まず半導体基板上に層間絶縁膜を形成し、その上に、コンタクトホールエッチング用窓を有するフォトレジストバターンを形成する。次に、半導体エッティング装置の圧力を高圧にして縦方向のイオンスパッタリングが支配的となるエッティング条件下で、前記フォトレジストバターンをマスクとして前記層間絶縁膜をその膜厚の途中までエッティングすることにより、該層間絶縁膜に前記フォトレジストバターンの窓に対応して垂直の溝状にコンタクトホールを形成する。その後、フォトレジストバターンの窓を広げる。その後、半導体エッティング装置の圧力を低圧にして縦方向のイオンスパッタリングと横方向のデポジション

イオンスパッタリングが支配的となり、垂直状にエッティングされる。一方、圧力を低圧にすると、縦方向のイオンスパッタリングと横方向のデポジションが共存し、テーパー状にエッティングされる。ただし、高圧、低圧の具体的な数値は装置間で大きく変わり、一概にはいえない。

(実施例)

以下この発明の一実施例を第1図を参照して説明する。

一実施例では、まず第1図間に示すように、シリコン基板1上にBPSG膜(ボロン、リンを含むシリケートガラス膜)12を層間絶縁膜としてCVD法で1.5μm厚に形成し、さらにその上にフォトレジストバターン13(一部に直径0.8μmのコンタクトホールエッチング用窓14を有する)を形成する。

次に、そのフォトレジストバターン13をマスクとして、平行平板型反応性イオンエッティング装置でBPSG膜12をその膜厚の途中までエッティングすることにより、第1図間に示すように前記

窓14に対応して垂直溝状のコンタクトホール15をBPSG膜12に形成する。この時、エッチングガスとしては、CHF₃、CF₄およびArを流量比3:3:4.0に混合したガスを用い、圧力は1.7 Torrの高圧とした。さらに、高周波電力は周波数400MHzで750Wとした。このようなエッチング条件で前記平行平板型反応性イオンエッチング装置でエッチングを行うと、圧力が1.7 Torrの高圧であることから縦方向のイオンスパッタリングが支配的になり、その結果として前述のように垂直形状にコンタクトホール15が形成される。この時、上記条件によれば、BPSG膜12のエッチング速度は1μm/minであり、この速度で約1.3分間エッチングを行って、1.5μm厚のBPSG膜12に対して約1.3μmの深さに溝状(凹状)にコンタクトホール15を形成した。

次に、CF₄とO₂を1:1に混合したガスをエッチングガスとしたケミカルドライエッチング装置で、圧力1.0Torr、周波数13.56kHzの高周波電力200Wの条件で約4.5秒間エッチングを行い、

ホール15が完成する。このコンタクトホール15によれば、上部と下部のテーパー部分の厚さdを一定とすることにより、コンタクトホールの深さを保わらず、上部での寸法2aは一定となる。また、コンタクトホールが深くても、底部の寸法aに対して上部の寸法2aが著しく大きくなることもない。

(発明の効果)

以上のように、この発明の製造方法によれば、コンタクトホールの上部と下部のみをテーパー形状とし得るので、コンタクトホールの深さに依存して上部の寸法が著しく大きくなったり、深さが深い場合に底部の寸法に対して上部の寸法が極端に大きくなることを防止でき、上部の寸法が不需要に大きくならないので、LSIの微細化・高集成化に有利なテーパー状コンタクトホールを得ることができる。

4. 図面の簡単な説明

第1図はこの発明の半導体装置の製造方法の一実施例を示す工程断面図、第2図はこの発明の一

フォトレジストを横方向に後退させることにより、第1図(c)に示すように、フォトレジストパターン13の窓14を広げる。この時、窓14の広がりは片側0.2μmである。

次に、窓14が広げられたフォトレジストパターン13を再度マスクとして、再度平行平板型反応性イオンエッチング装置で1回目と同一条件で、ただし圧力だけは0.5Torrの低圧に切換えてBPSG膜12のエッチングを行うことにより、第1図(d)に示すように、コンタクトホール15の上部をテーパー形状にするとともに、該コンタクトホール15の底部をテーパー形状でシリコン基板11まで貫通させる。この時、平行平板型反応性イオンエッチング装置の圧力が0.5Torrと低圧であり、それによると縦方向のイオンスパッタリングと横方向のデポジションが共存するから、前述のようにテーパー状にエッチングされるのである。

そして、以上により、第2図に示すように、上部と下部にのみテーパーを有するコンタクトホー

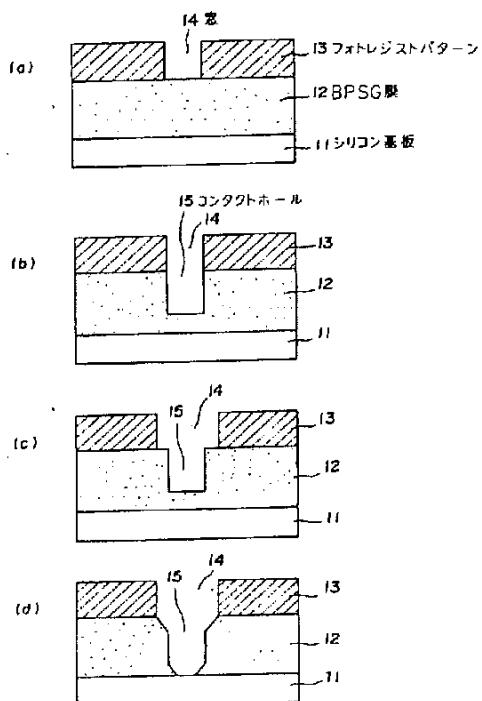
ル15が完成する。このコンタクトホール15によれば、上部と下部のテーパー部分の厚さdを一定とすることにより、コンタクトホールの深さを保わらず、上部での寸法2aは一定となる。また、コンタクトホールが深くても、底部の寸法aに対して上部の寸法2aが著しく大きくなることもない。

実施例により形成されたコンタクトホールを示す断面図、第3図は従来の方法により形成されたコンタクトホールを示す断面図である。

11…シリコン基板、12…BPSG膜、13…フォトレジストパターン、14…窓、15…コンタクトホール。

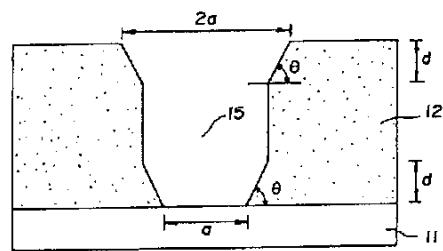
特許出願人 沖電気工業株式会社
代理人 弁理士 菊池 弘



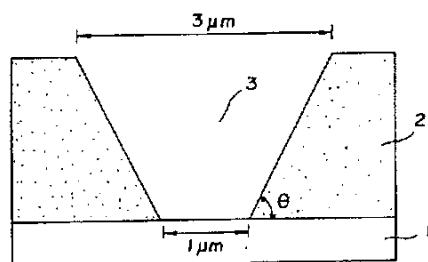


本発明の一実施例

第1図



本発明の一実施例によるコンタクトホール
第2図



従来方法によるコンタクトホール

第3図